姓名：\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ 学号：\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

1.（单选）以下哪个说法是**错误**的： B

1. RISC-V的指令长度是固定的 B. 在RISC-V中，一个word是2 byte
2. RISC-V一般使用小端序 D. RISC-V的访存模式相较于x86更有限

4 bytes.

2. 对程序中运行时间占比60%的部分进行优化，使该部分性能提升50%，那么整体性能提升\_\_\_25\_\_%

Amdahl's Law.

descript

3. 假设有一个处理器，它在执行一个包含加载（Load）、存储（Store）、算术逻辑（ALU）和分支（Branch）四种类型指令的程序。每种类型的指令在程序中的比例和 **CPI** 如下表所示：

|  |  |  |
| --- | --- | --- |
| Op | Freq | CPI |
| Load | 50% | 1 |
| Store | 20% | 5 |
| ALU | 10% | 3 |
| Branch | 20% | 2 |

程序的average **IPC**为\_\_\_5/11\_\_\_（用最简分数表示）

descript

4. 请填写寄存器名称和指令名称，完善以下RISC-V程序填空。（注：sc.d在成功时将rd置0）

# Atomic exchange between (\_\_\_x20\_\_\_) and x23

again: lr.d x10, (x20)

sc.d \_\_\_x11\_\_\_\_, \_\_\_x23\_\_\_\_, (x20)

\_\_\_\_bne\_\_\_\_ x11, x0, again

addi x23, x10, 0

参考Slide 66, Lecture 2.

5. 假设一条指令的执行中，五个阶段分别需要用1.0ns，0.6ns，0.9ns，1.2ns，0.4ns。请分别计算在单周期和五阶段流水线处理器中，单条指令执行的延迟和指令的吞吐量。（忽略中间寄存器延时）

单周期处理器:

descript

descript

五阶段流水线处理器:

descript

descript